



日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年11月 2日

出願番号
Application Number:

特願2000-340406

出願人
Applicant(s):

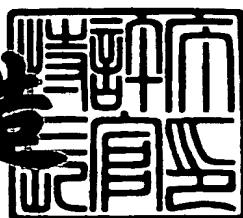
株式会社トーキン

RECEIVED
SEP -7 2001
PTC 2800 MAIL ROOM

2001年 4月20日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3032392

【書類名】 特許願

【整理番号】 TN-20

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/28

H01L 29/41

H01L 29/784

【発明者】

【住所又は居所】 仙台市太白区郡山六丁目7番1号 株式会社トーキン内

【氏名】 小野 裕司

【発明者】

【住所又は居所】 仙台市太白区郡山六丁目7番1号 株式会社トーキン内

【氏名】 吉田 栄吉

【発明者】

【住所又は居所】 仙台市太白区郡山六丁目7番1号 株式会社トーキン内

【氏名】 根本 道夫

【発明者】

【住所又は居所】 仙台市太白区郡山六丁目7番1号 株式会社トーキン内

【氏名】 山中 英二

【特許出願人】

【識別番号】 000134257

【氏名又は名称】 株式会社トーキン

【代表者】 羽田 祐一

【代理人】

【識別番号】 100098279

【弁理士】

【氏名又は名称】 栗原 聖

【手数料の表示】

【予納台帳番号】 065308

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9807356

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体基板及びその製造方法、並びに該半導体基板を用いた半導体素子

【特許請求の範囲】

【請求項1】 磁気損失部材が一部に形成されてなる半導体基板であって、前記磁気損失部材は、前記半導体基板の一方の面側の表面近傍において、所定のパターンにて形成され、前記磁気損失部材及び、前記表面での半導体基板領域とが、絶縁膜にて一様に被覆されていることを特徴とする半導体基板。

【請求項2】 請求項1記載の半導体基板において、前記磁気損失部材は、半導体基板の略全面に形成されていることを特徴とする半導体基板。

【請求項3】 請求項1記載の半導体基板において、前記磁気損失部材が形成される所定のパターンは、ストライプ状であることを特徴とする半導体基板。

【請求項4】 請求項1記載の半導体基板において、前記磁気損失部材が形成される所定のパターンは、格子状であることを特徴とする半導体基板。

【請求項5】 請求項1記載の半導体基板において、前記磁気損失部材が形成される所定のパターンは、島状であることを特徴とする半導体基板。

【請求項6】 請求項1乃至5記載の半導体基板において、前記絶縁膜は、酸化シリコン、窒化シリコン、又は窒化酸化シリコンから成る群より選択される少なくとも一の材料から成ることを特徴とする半導体基板。

【請求項7】 請求項1乃至6記載の半導体基板において、前記磁気損失部材は、前記所定のパターンにて複数形成されており、該複数の磁気損失部材のそれぞれは、少なくとも当該半導体基板から個々に分割される各半導体素子の領域より狭い面積の領域に形成されていることを特徴とする半導体基板。

【請求項8】 第1の半導体基板部材と、第2の半導体基板部材とが貼り合わされて形成され、磁気損失部材が一部に形成されてなる半導体基板であって、前記第1の半導体基板部材或いは前記第2の半導体基板部材のうち、少なくとも一方の半導体基板部材には、前記貼り合わされる側の面上にトレンチ部が形成されており、前記トレンチ部内に前記磁気損失部材が埋め込まれていることを特徴とする半導体基板。

【請求項9】 請求項8記載の半導体基板において、前記トレンチ部は、所定のパターンにて複数形成されており、該複数のトレンチ部のそれぞれは、少なくとも当該半導体基板から個々に分割される各半導体素子の領域より狭い面積の領域に形成されていることを特徴とする半導体基板。

【請求項10】 請求項1乃至9記載の半導体基板において、前記磁気損失部材は、M (Mは、Fe、Co、Niのいずれか、若しくはそれらの混合物) - X (Xは、M及びY以外の元素、若しくはそれらの混合物) - Y (Yは、F、N、Oのいずれか、若しくはそれらの混合物) から成ることを特徴とする半導体基板。

【請求項11】 請求項1乃至10記載の半導体基板において、当該半導体基板及び、前記第1の半導体基板部材並びに前記第2の半導体基板部材の材質は、それぞれシリコンから成ることを特徴とする半導体基板。

【請求項12】 請求項1乃至10記載の半導体基板において、当該半導体基板及び、前記第1の半導体基板部材並びに前記第2の半導体基板部材の材質は、それぞれガリウム砒素から成ることを特徴とする半導体基板。

【請求項13】 請求項1乃至12のいずれかに記載の半導体基板上に所定のパターン状に繰り返し形成された複数の半導体素子であって、前記複数の半導体素子の各々は、前記磁気損失部材が形成された単位領域の少なくともひとつを含むことを特徴とする半導体素子。

【請求項14】 磁気損失部材を一部に形成する半導体基板の製造方法であって、前記磁気損失部材を、前記半導体基板の一方の面側の表面に、所定のパターン、所定の膜厚にて形成する第1の工程と、

該第1の工程の後、前記磁気損失部材を含む前記半導体基板の全面を絶縁膜にて一様に被覆する第2の工程とを有することを特徴とする半導体基板の製造方法。

【請求項15】 少なくとも第1の半導体基板部材に、トレンチ構造を形成し、該トレンチ構造内に磁気損失部材を形成した後、前記第1の半導体基板部材に前記第2の半導体基板部材を貼り合わせて半導体基板を製造する半導体基板の製造方法であって、

前記第1の半導体基板部材に絶縁膜パターンを形成する工程と、
該絶縁膜パターンを形成した後、前記第1の半導体基板部材にエッティング処理
を施して、所定の深さ前記トレンチ構造を形成する工程と、
該トレンチ構造を形成した後、前記第1の半導体基板部材から前記絶縁膜パタ
ーンを除去する工程と、
該絶縁膜パターンを除去した後、前記第1の半導体基板部材に一様に磁気損失
部材を成膜させる工程と、
該磁気損失部材を成膜させた後、前記トレンチ構造以外の領域の基板面が露出
するように前記第1の半導体基板部材の全面に研磨処理を施す工程と、
該研磨処理を施した前記第1の半導体基板部材に前記第2の半導体基板部材を
密着させて、貼り合わせ処理を施す工程とを有することを特徴とする半導体基板
の製造方法。

【請求項16】 少なくとも第1の半導体基板部材に、トレンチ構造を形成
し、該トレンチ構造内に磁気損失部材を形成した後、前記第1の半導体基板部材
に前記第2の半導体基板部材を貼り合わせて半導体基板を製造する半導体基板の
製造方法であって、

前記第1の半導体基板部材に絶縁膜パターンを形成する工程と、
該絶縁膜パターンを形成した後、前記第1の半導体基板部材にエッティング処理
を施して、所定の深さ前記トレンチ構造を形成する工程と、
該トレンチ構造を形成した後、前記第1の半導体基板部材から前記絶縁膜パタ
ーンを除去する工程と、
該絶縁膜パターンを除去した後、前記第1の半導体基板部材に一様に磁気損失
部材を成膜させる工程と、
該磁気損失部材を成膜させた後、前記トレンチ構造以外の領域の基板面が露出
するように前記第1の半導体基板部材の全面に研磨処理を施す工程と、
前記トレンチ構造を形成していない第2の半導体基板部材の前記第1の半導体
基板部材と対向する面の全面を熱酸化させる工程と、
該対向面を熱酸化させた前記第2の半導体基板部材を前記第1の半導体基板部
材に、静電接合によって貼り合わせる処理を施す工程とを有することを特徴とす

る半導体基板の製造方法。

【請求項17】 請求項14乃至16記載の半導体基板の製造方法において、前記磁気損失部材は、M (Mは、Fe、Co、Niのいずれか、若しくはそれらの混合物) - X (Xは、M及びY以外の元素、若しくはそれらの混合物) - Y (Yは、F、N、Oのいずれか、若しくはそれらの混合物) から成ることを特徴とする半導体基板の製造方法。

【請求項18】 請求項14乃至17記載の半導体基板の製造方法において、当該半導体基板及び、前記第1の半導体基板部材並びに前記第2の半導体基板部材の材質は、それぞれシリコンから成ることを特徴とする半導体基板の製造方法。

【請求項19】 請求項14乃至17記載の半導体基板の製造方法において、当該半導体基板及び、前記第1の半導体基板部材並びに前記第2の半導体基板部材の材質は、それぞれガリウム砒素から成ることを特徴とする半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、産業用乃至民生用の各種の半導体素子の製造に使用される半導体基板に関し、特に、ノイズ対策を施した電磁波吸収半導体基板及びその製造方法、並びに当該半導体基板を用いて製造される半導体素子に関する。

【0002】

【従来の技術】

従来より、産業用乃至民生用の半導体素子は、いわゆるシリコンウエハ等の半導体基板上に個々の回路パターンを形成することにより製造されている。かかる半導体素子の形成に従来より使用されている半導体基板、及び当該半導体基板を用いて製造される半導体素子について、図6 (a) 及び (b) を参照して説明する。図6に、従来の半導体基板の概観図を示す。図6 (a) は平面図であり、図6 (b) は、図6 (a) のDD線における断面図である。

【0003】

半導体基板11Cは、材質をシリコンとしており、図6(a)及び(b)での半導体基板11Cは、半導体素子の製造工程の初期の状態を示す。半導体基板11Cに、周知の各種半導体製造工程を施すことにより、上述した個々の半導体素子の回路パターンが形成された半導体基板となる。この半導体基板の最終形態を図7に示す。図7(a)は平面図であり、図7(b)は、図7(a)のEE線における断面図である。図7(a)及び(b)にて、半導体基板11Cにおける、個々の回路パターン領域201は、各半導体素子の機能部分に相当する。そして、半導体基板11Cからそれぞれ回路パターン領域201を含む個々の半導体素子を切り出すことにより、各半導体素子が製作される。

【0004】

図8は、半導体基板11Cを切断後に完成された1個の半導体素子200'の説明図である。図8(a)は、概観斜視図であり、図8(b)は、図8(a)のFF線における断面図である。

【0005】

【発明が解決しようとする課題】

従来の半導体基板11Cでは、基板そのものでは、ノイズ対策を行っていない。そのため、図8(a)及び(b)に示す半導体素子200'を作成した後、半導体素子200'の回路パターン領域201'からノイズが発生しても、このノイズは、そのまま外部に漏れていき、他のデバイス、装置を誤作動させる場合があった。

【0006】

そこで半導体素子へのノイズ対策として、個々の半導体素子ごとに、半導体素子裏面に電磁波の吸収材料を塗布する等して、新たな電磁波吸収層を形成していた。図9は、従来の半導体素子でのノイズ対策例の説明図である。図9(a)は、ノイズ対策後の概観斜視図であり、図9(b)は、図9(a)のGG線における断面図である。即ち、この図9(a)及び(b)に示す半導体素子200a'では、半導体基板から個々の半導体素子を切り出した後、半導体素子200a'裏面(回路パターン領域201'が形成されていない側の面)に電磁波の吸収材料210を塗布する等して、新たな電磁波吸収層を形成していた。

【0007】

しかし、この従来の半導体素子200a'のノイズ対策では、ノイズ吸収部材（電磁波の吸収材料210）を後工程にて、半導体素子200a'の1個ごとに、その裏面に塗布するため、ノイズ対策のための工程に多大の時間を要するという問題点があった。また、半導体素子200a'の1個ごと、その裏面に塗布することから、ノイズ吸収部材（電磁波の吸収材料210）の厚みには、ばらつきが生じやすく、個々の半導体素子のノイズ吸収特性にも、ばらつきが生ずるという問題点があった。

【0008】

本発明は、上記のような種々の課題に鑑みなされたものであり、その目的は、MHz帯域からGHz帯域までの妨害電磁波を効率良く吸収でき、個々の半導体素子に分割された時に、電磁波吸収の効果を示すことができ、ノイズ対策された半導体素子を量産することに優れた半導体基板及びその製造方法、並びに該半導体基板を用いた半導体素子を提供することにある。

【0009】

【課題を解決するための手段】

上記目的達成のため、本発明の請求項1記載の半導体基板では、磁気損失部材が一部に形成されてなる半導体基板であって、前記磁気損失部材は、前記半導体基板の一方の面側の表面近傍において、所定のパターンにて形成され、前記磁気損失部材及び、前記表面での半導体基板領域とが、絶縁膜にて一様に被覆されていることを特徴とする。

【0010】

また、請求項2記載の半導体基板においては、前記磁気損失部材は、半導体基板の略全面に形成されていることを特徴とする。更に、請求項3記載の半導体基板においては、前記磁気損失部材が形成される所定のパターンは、ストライプ状であることを特徴とする。

【0011】

更にまた、請求項4記載の半導体基板においては、前記磁気損失部材が形成される所定のパターンは、格子状であることを特徴とする。尚、請求項5記載の半

導体基板においては、前記磁気損失部材が形成される所定のパターンは、島状であることを特徴とする。

【0012】

そして、請求項6記載の半導体基板においては、前記絶縁膜は、酸化シリコン、窒化シリコン、又は窒化酸化シリコンから成る群より選択される少なくとも一の材料から成ることを特徴とする。また、請求項7記載の半導体基板においては、前記磁気損失部材は、前記所定のパターンにて複数形成されており、該複数の磁気損失部材のそれぞれは、少なくとも当該半導体基板から個々に分割される各半導体素子の領域より狭い面積の領域に形成されていることを特徴とする。

【0013】

一方、本発明の請求項8記載の半導体基板では、第1の半導体基板部材と、第2の半導体基板部材とが貼り合わされて形成され、磁気損失部材が一部に形成されてなる半導体基板であって、前記第1の半導体基板部材或いは前記第2の半導体基板部材のうち、少なくとも一方の半導体基板部材には、前記貼り合わされる側の面上にトレンチ部が形成されており、前記トレンチ部内に前記磁気損失部材が埋め込まれていることを特徴とする。

【0014】

また、請求項9記載の半導体基板においては、前記トレンチ部は、所定のパターンにて複数形成されており、該複数のトレンチ部のそれぞれは、少なくとも当該半導体基板から個々に分割される各半導体素子の領域より狭い面積の領域に形成されていることを特徴とする。更に、請求項10記載の半導体基板においては、前記磁気損失部材は、M (Mは、Fe、Co、Niのいずれか、若しくはそれらの混合物) - X (Xは、M及びY以外の元素、若しくはそれらの混合物) - Y (Yは、F、N、Oのいずれか、若しくはそれらの混合物) から成ることを特徴とする。

【0015】

また、請求項11記載の半導体基板においては、当該半導体基板及び、前記第1の半導体基板部材並びに前記第2の半導体基板部材の材質は、それぞれシリコンから成ることを特徴とする。更に、請求項12記載の半導体基板においては、

当該半導体基板及び、前記第1の半導体基板部材並びに前記第2の半導体基板部材の材質は、それぞれガリウム砒素から成ることを特徴とする。

【0016】

一方、本発明の請求項13記載の半導体素子では、請求項1乃至11のいずれかに記載の半導体基板上に所定のパターン状に繰り返し形成された複数の半導体素子であって、前記複数の半導体素子の各々は、前記磁気損失部材が形成された単位領域の少なくともひとつを含むことを特徴とする。

【0017】

また一方、本発明の請求項14記載の半導体基板の製造方法では、磁気損失部材を一部に形成する半導体基板の製造方法であって、前記磁気損失部材を、前記半導体基板の一方の面側の表面に、所定のパターン、所定の膜厚にて形成する第1の工程と、該第1の工程の後、前記磁気損失部材を含む前記半導体基板の全面を絶縁膜にて一様に被覆する第2の工程とを有することを特徴とする。

【0018】

しかして、本発明の請求項15記載の半導体基板の製造方法では、少なくとも第1の半導体基板部材に、トレンチ構造を形成し、該トレンチ構造内に磁気損失部材を形成した後、前記第1の半導体基板部材に前記第2の半導体基板部材を貼り合わせて半導体基板を製造する半導体基板の製造方法であって、前記第1の半導体基板部材に絶縁膜パターンを形成する工程と、該絶縁膜パターンを形成した後、前記第1の半導体基板部材にエッチング処理を施して、所定の深さ前記トレンチ構造を形成する工程と、該トレンチ構造を形成した後、前記第1の半導体基板部材から前記絶縁膜パターンを除去する工程と、該絶縁膜パターンを除去した後、前記第1の半導体基板部材に一様に磁気損失部材を成膜させる工程と、該磁気損失部材を成膜させた後、前記トレンチ構造以外の領域の基板面が露出するよう前記第1の半導体基板部材の全面に研磨処理を施す工程と、該研磨処理を施した前記第1の半導体基板部材に前記第2の半導体基板部材を密着させて、貼り合わせ処理を施す工程とを有することを特徴とする。

【0019】

また、本発明の請求項16記載の半導体基板の製造方法では、少なくとも第1

の半導体基板部材に、トレンチ構造を形成し、該トレンチ構造内に磁気損失部材を形成した後、前記第1の半導体基板部材に前記第2の半導体基板部材を貼り合わせて半導体基板を製造する半導体基板の製造方法であって、前記第1の半導体基板部材に絶縁膜パターンを形成する工程と、該絶縁膜パターンを形成した後、前記第1の半導体基板部材にエッティング処理を施して、所定の深さ前記トレンチ構造を形成する工程と、該トレンチ構造を形成した後、前記第1の半導体基板部材から前記絶縁膜パターンを除去する工程と、該絶縁膜パターンを除去した後、前記第1の半導体基板部材に一様に磁気損失部材を成膜させる工程と、該磁気損失部材を成膜させた後、前記トレンチ構造以外の領域の基板面が露出するよう前に記第1の半導体基板部材の全面に研磨処理を施す工程と、前記トレンチ構造を形成していない第2の半導体基板部材の前記第1の半導体基板部材と対向する面の全面を熱酸化させる工程と、該対向面を熱酸化させた前記第2の半導体基板部材を前記第1の半導体基板部材に、静電接合によって貼り合わせる処理を施す工程とを有することを特徴とする。

【0020】

尚、請求項17記載の半導体基板の製造方法においては、前記磁気損失部材は、M (Mは、Fe、Co、Niのいずれか、若しくはそれらの混合物) - X (Xは、M及びY以外の元素、若しくはそれらの混合物) - Y (Yは、F、N、Oのいずれか、若しくはそれらの混合物) から成ることを特徴とする。また、請求項18記載の半導体基板の製造方法においては、当該半導体基板及び、前記第1の半導体基板部材並びに前記第2の半導体基板部材の材質は、それぞれシリコンから成ることを特徴とする。

【0021】

更に、請求項19記載の半導体基板の製造方法においては、当該半導体基板及び、前記第1の半導体基板部材並びに前記第2の半導体基板部材の材質は、それぞれガリウム砒素から成ることを特徴とする。

【0022】

【発明の実施の形態】

以下、図面に基づいて、本発明の実施の形態に係る半導体基板及びその製造方

法、並びに当該半導体基板を用いた半導体素子について説明する。図1は、本発明の第1の実施形態に係る半導体基板を説明するための図である。図1(a)は、本実施形態の半導体基板の平面図を、図1(b)は、図1(a)のAA線における断面図を示す。また、図2は、本実施形態による半導体基板の製造方法を説明するための図である。

【0023】

図1(a)及び(b)に示す半導体基板101は、シリコン基板1の上に、所定の領域にてパターン化された磁気損失部材2が形成され、全体が絶縁膜3に覆われている。また、図1(b)に示すように、本実施形態の半導体基板101において、半導体素子が形成される面は、磁気損失部材2が形成された面と反対側の面である。尚、シリコン基板1は、最終形態品となる各種半導体素子に対応して、所定の不純物濃度に設定されている。

【0024】

また、磁気損失部材2の材質は、M(Mは、Fe、Co、Niのいずれか、若しくはそれらの混合物) - X(Xは、M及びY以外の元素、若しくはそれらの混合物) - Y(Yは、F、N、Oのいずれか、若しくはそれらの混合物)から成り、例えば、磁気損失部材2の組成は、Fe₇₂、Al₁₁、O₁₇に設定されるものである。かかる組成の磁気損失部材は、特にMHz帯の電磁波から、GHz帯の電磁波までの吸収特性が優れており、シリコン基板1上に形成される各種半導体素子から発生する上記帯域の電磁波を効率良く吸収するものである。

【0025】

また、上記組成の磁気損失部材2は、電磁波吸収による極めて大きな磁気損失を示す配合であるため、その分、磁気損失部材2の厚みを格段に薄くすることができる。これにより、磁気損失部材2の厚みは、数10ミクロン以下にすることができる。

【0026】

さて、本実施形態の半導体基板101を用いて製作した半導体素子に関して、磁気損失部材2による電磁波の吸収特性を調べてみた。その結果、電磁波対策を行わない、従来の半導体基板(例えば、図6(a)及び(b)に示す半導体基板

11C) を用いた半導体素子の場合に比較して、磁気損失部材2により、約3G Hz の周波数において、略10デシベル程度の電磁波の吸収効果が得られた。

【0027】

また、磁気損失部材2をシリコン基板1上に形成する方法としては、まず、例えば、スパッタ法或いは蒸着法を用いて、シリコン基板1の上述した半導体素子が形成される面と反対側の全面に磁気損失部材2の層を形成し、その後、リソグラフィ法によって、ストライプ状、格子状、島状等の所定のパターン形状の磁気損失部材2を形成する。尚、シリコン基板1上に磁気損失部材2の層を形成するには、上記スパッタ法及び蒸着法以外の製膜法、例えば、化学気相成長法(CVD法)等を用いても良い。尚、絶縁膜3の材質は、酸化シリコン、窒化シリコン、或いは、窒化酸化シリコンのいずれかとするものである。また、磁気損失部材2のそれぞれは、少なくとも半導体基板101から個々に分割される各半導体素子領域〔その一辺の長さを図1(a)にL₁で示す〕より狭い面積の領域に形成されている。

【0028】

ここで、本実施形態の半導体基板101の製造方法を説明する。本実施形態の半導体基板101を製造するには、まず、図2(a)に示すように、シリコン基板1の上述した半導体素子が形成される面と反対側の面に、上述したスパッタ法或いは蒸着法等を用いて、磁気損失部材の層2'を全面に形成する。

【0029】

次に、この磁気損失部材の層2'から、上述したリソグラフィ法を用いて所定のパターン形状の磁気損失部材2を形成する。即ち、図2(b)に示すように、磁気損失部材の層2'上にレジストパターン7を形成し、続いて、図2(c)に示すように、図2(b)で磁気損失部材の層2'のレジストパターン7が付加された部分のみ残して、磁気損失部材2を上述したストライプ状、格子状、島状等の所定のパターン形状に形成する。

【0030】

この後、図2(d)に示すように、シリコン基板1の、図2(c)で磁気損失部材2のパターンを形成した面を、上述した酸化シリコン、窒化シリコン、或い

は、窒化酸化シリコンから成る絶縁膜3にて被覆する。これにより、図2(d)に示す本実施形態の半導体基板101が完成する。

【0031】

この半導体基板101の磁気損失部材2が形成された面と反対側の面の個々の領域ごとに、各半導体素子の回路パターンが形成され、当該個々の領域を切り出して各半導体素子が製造される。尚、上述したように、磁気損失部材2をストライプ状、格子状、島状等に形成した場合、半導体素子の各々は磁気損失部材2が形成された単位領域の少なくともひとつを含むものとする。

【0032】

本実施形態によれば、いわば基板そのものの段階でノイズ対策を行うので、ノイズ対策された半導体素子を量産することに優れた技術を提供し得る。即ち、この半導体基板101を用いて各半導体素子を製造すれば、半導体素子からノイズが発生しても、このノイズは、そのまま外部に漏れることなく、半導体素子裏面に形成された磁気損失部材2に吸収される。その結果、他のデバイス、装置を誤作動させることが無い。また、ノイズ吸収部材を後工程にて、半導体素子の1個ごとに、その裏面に塗布する等してノイズ対策を行う従来例に比べて、ノイズ対策のための工程に多くの時間を必要としない。更に、半導体基板101上の個々の半導体素子形成領域の裏面に、磁気損失部材2を同一工程にて形成することから、磁気損失部材2(ノイズ吸収部材)の厚みにも、ばらつきを生じにくく、従って、個々の半導体素子のノイズ吸収特性に、ばらつきを生ずることを防止できる。

【0033】

図3は、本発明の第2の実施形態に係る半導体基板を説明するための図である。図3(a)は、本実施形態の半導体基板の平面図を、図3(b)は、図3(a)のB-B線における断面図を示す。また、図4は、本実施形態による半導体基板の製造方法を説明するための図である。

【0034】

図3(a)及び(b)に示す半導体基板102は、第1のシリコン基板11aと、第2のシリコン基板11bとが、シリコン基板どうしの貼り合わせ、あるいは

は静電接合によって貼り合わされている。ここで、第1のシリコン基板11aには、所定のパターンにてトレンチ部4が形成されており、各トレンチ部4の内部には、磁気損失部材21が埋め込まれて形成されている。

【0035】

ここで、図3(b)に示すように、半導体基板102における半導体素子の形成面は、第1のシリコン基板11aに対応する(半導体素子形成の)第1の面と、第2のシリコン基板11bに対応する(半導体素子形成の)第2の面のどちらでも良い。尚、各シリコン基板11a又は11bは、最終的に作製される半導体素子に対応して、あらかじめ所定の不純物濃度に設定される。

【0036】

また、磁気損失部材21の材質は、M(Mは、Fe、Co、Niのいずれか、若しくはそれらの混合物)−X(Xは、M及びY以外の元素、若しくはそれらの混合物)−Y(Yは、F、N、Oのいずれか、若しくはそれらの混合物)から成り、例えば、磁気損失部材21の組成は、Fe₇₂Al₁₁O₁₇に設定されるものである。かかる組成の磁気損失部材は、特にMHz帯の電磁波から、GHz帯の電磁波までの吸収特性が優れており、第1のシリコン基板11a上、又は第2のシリコン基板11b上に形成される各種半導体素子から発生する上記帯域の電磁波を効率良く吸収する。また、上記組成の磁気損失部材21は、電磁波吸収による極めて大きな磁気損失を示す配合であるため、その分、磁気損失部材21の厚みを、数10ミクロン以下というように、格段に薄くすることができる。従って、トレンチ部4の深さは、数10ミクロン程度に設定される。尚、トレンチ部4のそれぞれは、少なくとも半導体基板102から個々に分割される各半導体素子領域[その一辺の長さを図3(a)にL₂で示す]より狭い面積の領域に形成されている。更に、図3(b)に示す第1のシリコン基板11aの厚みt₁と第2のシリコン基板11bの厚みt₂は、以下のふたつの条件を満足するように適宜設定すれば良い。即ち、一つは、t₁+t₂にて所望の厚さを有する半導体基板が得られることであり、二つは、第1のシリコン基板11a及び第2のシリコン基板11bにそれぞれ形成される半導体素子のノイズ耐性及びノイズ発生量に対応した最適な位置に磁気損失部材21が配置されるように、t₁、t₂、及びトレ

ンチ部4の深さが設定されることである。

【0037】

ここで、本実施形態の半導体基板102の製造方法を説明する。

【0038】

本実施形態の半導体基板102を製造するには、まず、図4(a)に示すように、第1のシリコン基板11aに、酸化シリコン31のパターンを形成した後、第1のシリコン基板11aをドライエッチングする。その結果、第1のシリコン基板11aにおける酸化シリコン31のパターン部分以外のシリコンの露出部分がエッチングされ、図4(b)に示すように、所定の深さL1のトレンチ部41のパターンが形成される。続いて、図4(c)に示すように、酸化シリコン31を除去してトレンチ部41を持ったシリコン基板面を露出させる。次に、図4(d)に示すように、図4(c)で露出させた、第1のシリコン基板11aのトレンチ部41を含む片側面の全面に磁気損失部材の層21'を形成する。尚、この磁気損失部材の層21'を形成する方法としては、上述した第1の実施形態と同様に、スパッタ法、蒸着法、或いは化学気相成長法(CVD法)等の製膜法を用いる。

【0039】

続いて、図4(e)に示すように、図4(d)で磁気損失部材の層21'を形成した第1のシリコン基板11aの片側面を研磨処理して、シリコン基板面と、磁気損失部材の層21'のトレンチ部41内に埋入した部分を露出させた状態とする。この結果、図4(e)に示すように、第1のシリコン基板11a上のトレンチ部41のパターンに対応して、磁気損失部材21が形成される。

【0040】

更に、図4(f)に示すように、上述した第2のシリコン基板11bを用意し、図4(g)に示すように、第1のシリコン基板11aの図4(e)で研磨処理した面側に貼り合わせる。尚、図4(f)において、第2のシリコン基板11bは、予め第1のシリコン基板11aと対向する面の全面を熱酸化させておく。そして、第2のシリコン基板11bの熱酸化させた対向面を第1のシリコン基板11aに、静電接合によって貼り合わせる。これにより、図4(g)に示す、第1

のシリコン基板11aと第2のシリコン基板11bとが貼り合わされた半導体基板102が製作される。尚、図4(g)において、100は、貼り合わせの境界面を示す。この図4(g)の半導体基板102が、本実施形態の半導体基板の完成状態である。

【0041】

尚、図4(a)に示した酸化シリコン31を形成するパターンに応じて、トレンチ部41のパターンが決定されるから、このトレンチ部41内に埋め込まれる磁気損失部材21のパターンが、ストライプ状、格子状、島状等の所定のパターンになるように、上記酸化シリコン31のパターンを形成すれば良い。また、本実施形態では、第1のシリコン基板11aの磁気損失部材21が埋入形成された面側に第2のシリコン基板11bを貼り合わせるので、上述した第1の実施形態と異なり、磁気損失部材21の形成面を酸化シリコン等の絶縁膜にて被覆することは不要である。

【0042】

さて、上述したように、本実施形態の半導体基板102においては、第1のシリコン基板11aに対応する（半導体素子形成の）第1の面と、第2のシリコン基板11bに対応する（半導体素子形成の）第2の面のどちらにも、半導体素子を形成することができる。そして、これら第1又は第2の面の個々の領域ごとに、各半導体素子の回路パターンが形成され、当該個々の領域を切り出して各半導体素子が製造される。尚、上述したように、磁気損失部材21をストライプ状、格子状、島状等に形成した場合、半導体素子の各々は磁気損失部材21が形成された単位領域の少なくともひとつを含むものとする。

【0043】

本実施形態によっても、基板そのものの段階でノイズ対策を行うので、ノイズ対策された半導体素子を量産することに優れた技術を提供し得る。即ち、この半導体基板102を用いて各半導体素子を製造すれば、半導体素子からノイズが発生しても、このノイズは、そのまま外部に漏れることなく、半導体素子の内部に埋入形成された磁気損失部材21に吸収される。その結果、他のデバイス、装置を誤作動させることが無い。また、ノイズ吸収部材を後工程にて、半導体素子の

1個ごとに、その裏面に塗布する等してノイズ対策を行う従来例に比べて、ノイズ対策のための工程に多くの時間を必要としない。更に、半導体基板102の個々の半導体素子形成領域に対応した箇所の内部に磁気損失部材21を同一工程にて形成し得るので、磁気損失部材21（ノイズ吸収部材）の厚みにも、ばらつきを生じにくく、従って、個々の半導体素子のノイズ吸収特性に、ばらつきを生ずることを防止できる。

【0044】

図5は、本発明の第2の実施形態に係る半導体基板102を用いて製作された本発明の第3の実施形態に係る半導体素子を説明するための図である。

【0045】

図5（a）は、本実施形態の半導体素子の外観斜視図を、図5（b）は、図5（a）のCC線における断面図を示す。

【0046】

図5（a）及び（b）に示すように、本発明の第3の実施形態に係る半導体素子200は、磁気損失部材21aが埋め込まれた第1のシリコン基板11a' と第2のシリコン基板11b' とが貼り合わされて形成され、第2のシリコン基板11b' の表面の近傍に、回路パターン領域201aが形成されている。

【0047】

本実施形態の半導体素子200では、その構造上、回路パターン領域201a近傍から発生したノイズの電磁波が、効率良く、磁気損失部材21aにて吸収される。そこで、本実施形態の半導体素子200による電磁波の吸収特性を調べてみたところ、約3GHzの周波数において、図8に示した従来のノイズ対策なしの半導体素子と比較した場合、約10デシベル程度の電磁波の吸収効果が得られた。また、本実施形態の半導体素子200による電磁波の吸収特性は、約3GHzの周波数において、図9に示した従来のノイズ対策を施した半導体素子と比較した場合でも、約7デシベル程度の電磁波の吸収効果が得られた。

【0048】

以上、本発明を種々の実施形態に関して述べたが、本発明は以上の実施形態に限られるものではなく、特許請求の範囲に記載された発明の範囲内で、他の実施

形態についても適用されるのは勿論である。

【0049】

例えば、上述した実施形態では、半導体基板の材質をシリコンとしたが、シリコン以外でも同様の効果が得られる。シリコン以外の材質としては、ガリウム砒素系部材、或いはシリコン-ゲルマニウム系部材が挙げられる。

【0050】

【発明の効果】

以上、本発明によれば、MHz帯域からGHz帯域までの妨害電磁波を効率良く吸収でき、個々のデバイスに分割されたときに、ノイズ吸収の効果を示すことができ、デバイス作製に対して、量産性の優れた半導体基板及びその製造方法、並びに当該半導体基板を用いた半導体素子を提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る半導体基板を説明するための図であり、図1(a)は、本実施形態の半導体基板の平面図、図1(b)は、図1(a)のAA線における断面図を示す。

【図2】

本発明の第1の実施形態による半導体基板の製造方法を説明するための図であり、図2(a)は、シリコン基板1に、磁気損失部材の層2'を全面に形成した状態を示し、図2(b)は、磁気損失部材の層2'でのレジストパターン7を形成した状態を示し、図2(c)は、図2(b)での磁気損失部材の層2'のレジストパターン7が付加された部分のみ残して、所定のパターンを持つ磁気損失部材2を形成した状態を示し、図2(d)は、図2(c)での磁気損失部材2を形成した面を絶縁膜3にて覆った状態を示す。

【図3】

本発明の第2の実施形態に係る半導体基板を説明するための図であり、図3(a)は、本実施形態の半導体基板の平面図、図3(b)は、図3(a)のBB線における断面図を示す。

【図4】

本発明の第2の実施形態による半導体基板の製造方法を説明するための図であり、図4 (a) は、第1のシリコン基板に、酸化シリコン31のパターンを形成し、シリコンの露出部分を、ドライエッチングしている状態を示し、図4 (b) は、所定の深さL1のトレンチ部41を形成した状態を示し、図4 (c) は、酸化シリコン31を除去してトレンチ部41を持ったシリコン基板面を露出させた状態を示し、図4 (d) は、図4 (c) の基板の片側面の全面に磁気損失部材の層21'を形成した状態を示し、図4 (e) は、片側を研磨処理して、シリコン基板面と、トレンチ部4内の磁気損失部材21を露出させた状態を示し、図4 (f) は、第2のシリコン基板を用意し、第1のシリコン基板に貼り合わせる直前の状態を示し、図4 (g) は、第1のシリコン基板と第2のシリコン基板とを貼り合わせた状態を示す。

【図5】

本発明の第3の実施形態に係る半導体素子を説明するための図であり、図5 (a) は、本実施形態の半導体素子の外観斜視図を、図5 (b) は、図5 (a) のCC線における断面図を示す。

【図6】

従来の半導体基板の概観図を示し、図6 (a) は平面図、図6 (b) は、図6 (a) のDD線における断面図である。

【図7】

従来の半導体基板に、各種の半導体製造工程を実施した後の半導体基板の最終形態を示し、図7 (a) は平面図、図7 (b) は、図7 (a) のEE線における断面図である。

【図8】

従来の半導体基板を切断後に完成された1個の半導体素子の説明図であり、図8 (a) は、概観斜視図、図8 (b) は、図8 (a) のFF線における断面図である。

【図9】

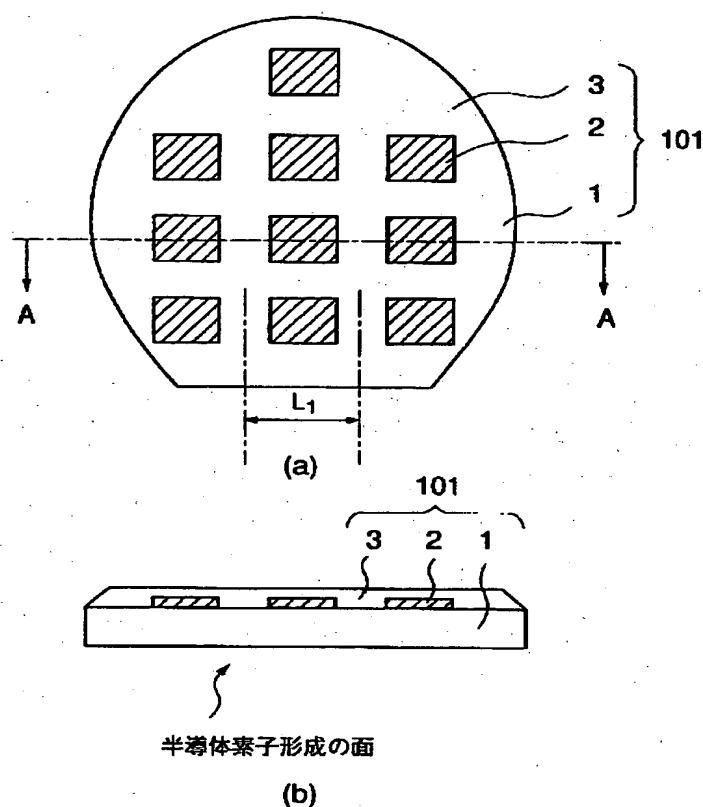
従来の半導体素子でのノイズ対策例の説明図であり、図9 (a) は、ノイズ対策後の概観斜視図、図9 (b) は、図9 (a) のGG線における断面図である。

【符号の説明】

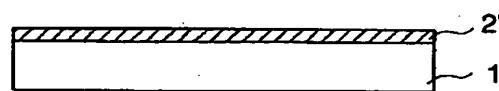
1	シリコン基板
1 1 a	第1のシリコン基板
1 1 b	第2のシリコン基板
101、102	半導体基板
2、21、21a、21'	磁気損失部材
3	絶縁膜
3 1	酸化シリコン
4、4 1	トレンチ部
7	レジストパターン
100	シリコン基板貼り合わせの境界面
200、200'	半導体素子
201	回路パターン領域

【書類名】 図面

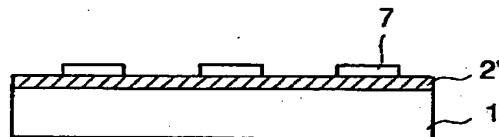
【図1】



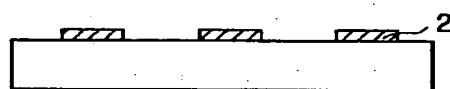
【図2】



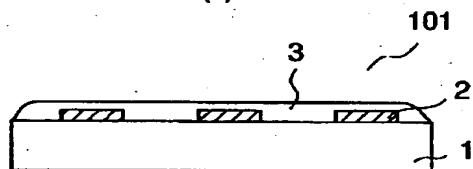
(a)



(b)

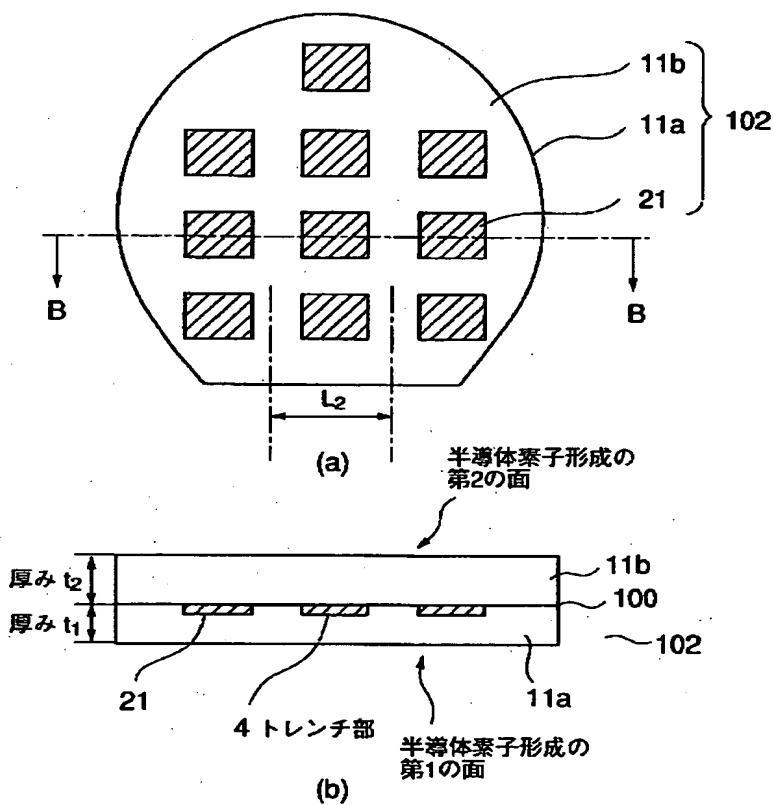


(c)

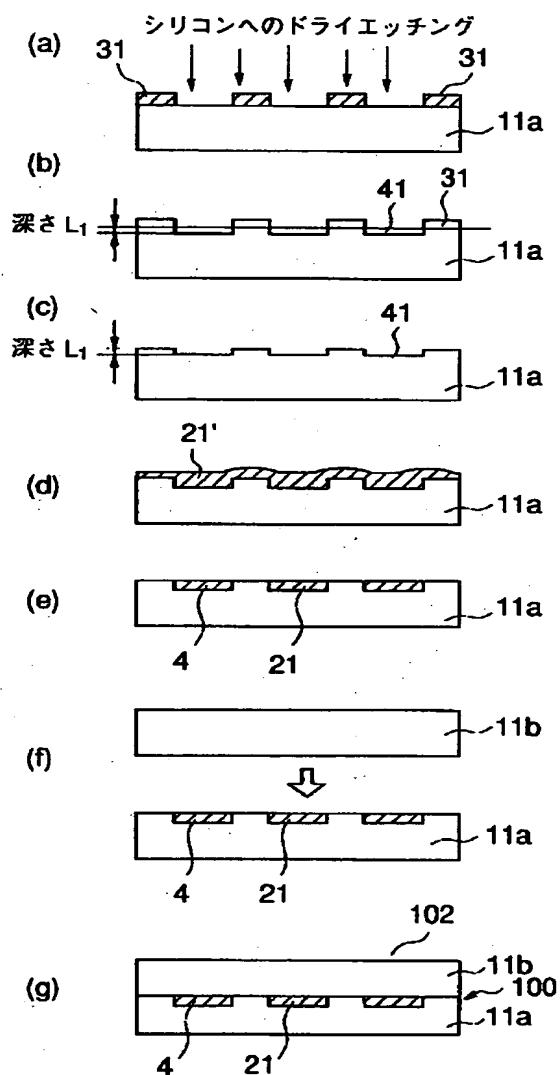


(d)

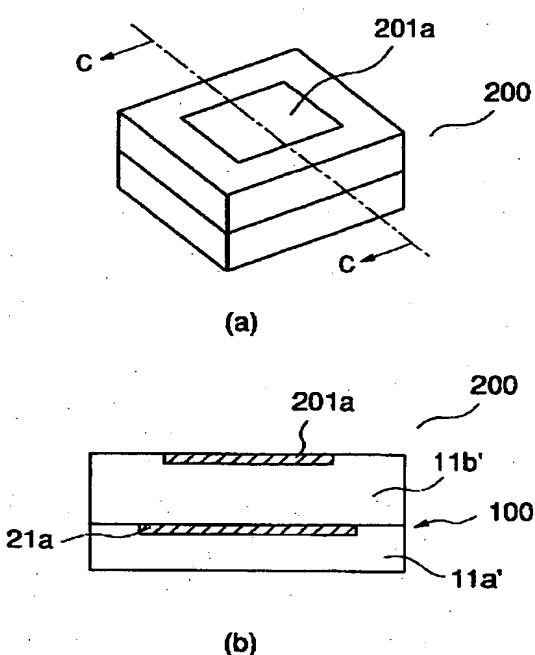
【図3】



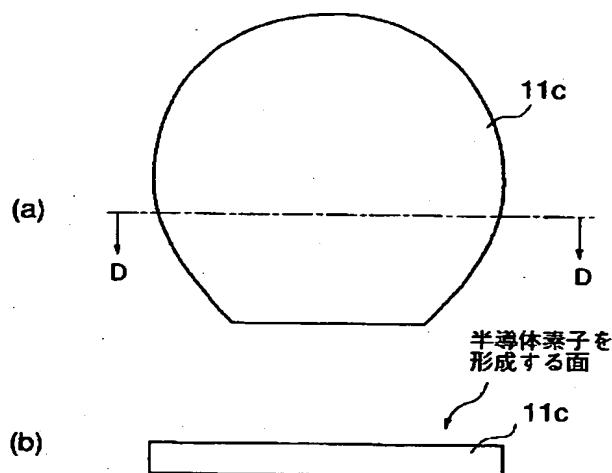
【図4】



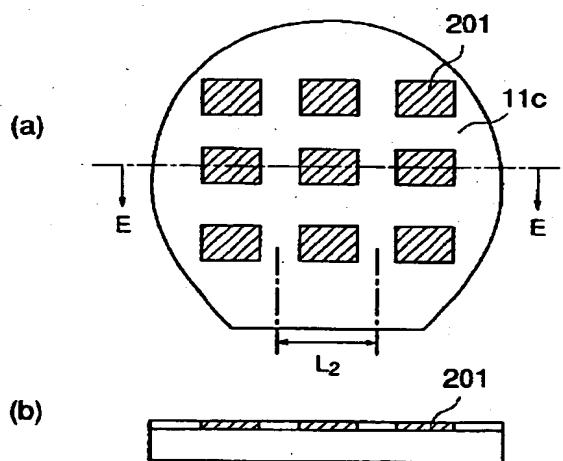
【図5】



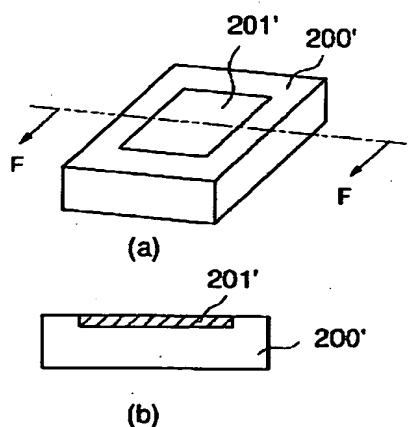
【図6】



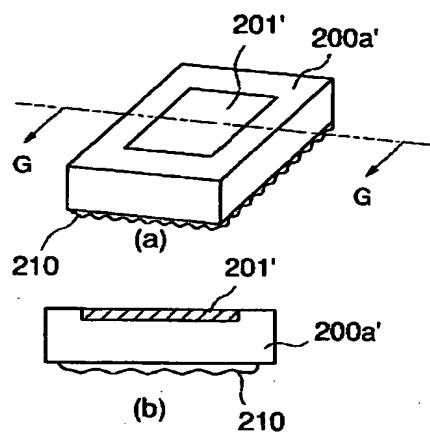
【図7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 M H z 帯域から G H z 帯域までの妨害電磁波を効率良く吸収でき、個々の半導体素子に分割されたときに、電磁波吸収の効果を示すことができ、ノイズ対策された半導体素子を量産するのに優れた半導体基板を得る。

【解決手段】 磁気損失部材 2 がその内部に形成されてなる半導体基板 101 であって、磁気損失部材 2 は、一方の側の表面近傍において、所定のパターンにて形成され、磁気損失部材 2 及び前記表面での半導体基板領域とが絶縁膜 3 にて一様に被覆されている。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2000-340406
受付番号	50005050667
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年11月10日

＜認定情報・付加情報＞

【提出日】 平成12年11月 2日

次頁無

出願人履歴情報

識別番号 [000134257]

1. 変更年月日 1990年 8月10日

[変更理由] 新規登録

住 所 宮城県仙台市太白区郡山6丁目7番1号
氏 名 株式会社トーキン